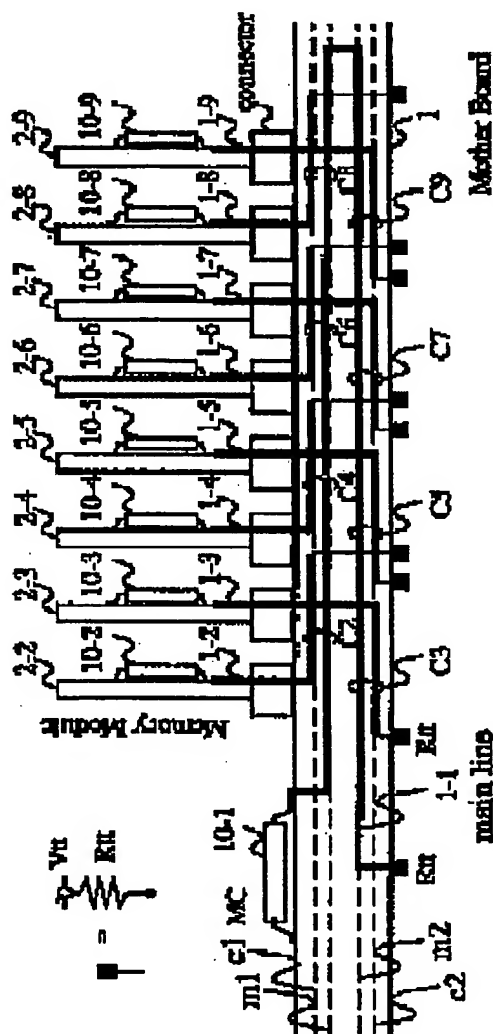


MicroPatent® PatSearch Fulltext: Record 1 of 1

Search scope: US Granted US Applications EP-A EP-B WO JP (bibliographic data only) DE-C,B DE-A DE-T DE-U GB-A FR-A

Years: 1991-2004

Patent/Publication No.: ((JP2001027918))



Order This Patent

Family Lookup

Find Similar

Legal Status

[Go to first matching text](#)

JP2001027918 A
DIRECTIONAL COUPLING TYPE MEMORY SYSTEM
HITACHI LTD

Abstract:

PROBLEM TO BE SOLVED: To narrow a space between memory modules and to improve the packing density of a memory by folding back a main line and constructing a directional coupler to the folded main line. **SOLUTION:** In regard of the wiring of a main line 1-1, a layer m1 is folded back in the right direction on a drawing when viewed from an MC 10-1 and a wiring layer formed on a mother board 1 is changed

BEST AVAILABLE COPY

into a layer m2 and folded in the left direction on the drawing after the couplers C2, C4, C6 and C8 are constructed to the wirings 1-2, 1-4, 1-6 and 1-8 of a layer c1 which are led from a memory chip. The folded-back line 1-1 constructs the couplers C3, C5, C7 and C9 to the wirings 1-3, 1-5, 1-7 and 1-9 of a layer c2 which are led from the memory chip and then terminated. The couplers C2-C8 are constructed at a position (upper layer) set between the layers m1 and c1 of the board 1, and the couplers C3-C9 are constructed at a position (lower layer) set between the layers m2 and c2 of the board 1 respectively.

Inventor(s):

OSAKA HIDEKI
KOMATSU TOYOHICO
TSUNEHICO TAKASHI
KIMURA KOICHI
HATANO SUSUMU
ITO KAZUYA
KANNO TOSHIO

Application No. 2000126234 JP2000126234 JP, **Filed** 20000420, **A1 Published** 20010130

Int'l Class: G06F00300

G06F01316 H01P00500 H01P00518

Priority:

JP 11130957 19990512

Patents Citing This One (2):

- ➔ WO2004003718 A1 20040108 HITACHI, LTD.
SYSTEME DE TRANSFERT DE DONNEES UTILISANT UN COUPLEUR
DIRECTIONNEL
- ➔ WO2004003719 A1 20040108 HITACHI, LTD.
SYSTEME A BUS DE COUPLAGE DIRECTIONNEL DE MEME GRANDEUR

[Home](#)[Search](#)[List](#)[First](#)[Prev](#) Go to[Next](#)[Last](#)

For further information, please contact:

[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-27918

(P2001-27918A)

(43) 公開日 平成13年1月30日 (2001.1.30)

(51) Int.Cl.⁷

G 0 6 F 3/00

識別記号

13/16

5 1 0

H 0 1 P 5/00

F I

G 0 6 F 3/00

13/16

H 0 1 P 5/00

テ-マコ-ト*(参考)

F

K

T

5 1 0 A

A

審査請求 未請求 請求項の数25 O L (全 23 頁) 最終頁に続く

(21) 出願番号 特願2000-126234(P2000-126234)

(22) 出願日 平成12年4月20日 (2000. 4. 20)

(31) 優先権主張番号 特願平11-130957

(32) 優先日 平成11年5月12日 (1999. 5. 12)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 大坂 英樹

神奈川県川崎市麻生区王禅寺1099番地 株

式会社日立製作所システム開発研究所内

(72) 発明者 小松 豊彦

神奈川県川崎市麻生区王禅寺1099番地 株

式会社日立製作所システム開発研究所内

(74) 代理人 100075096

弁理士 作田 康夫

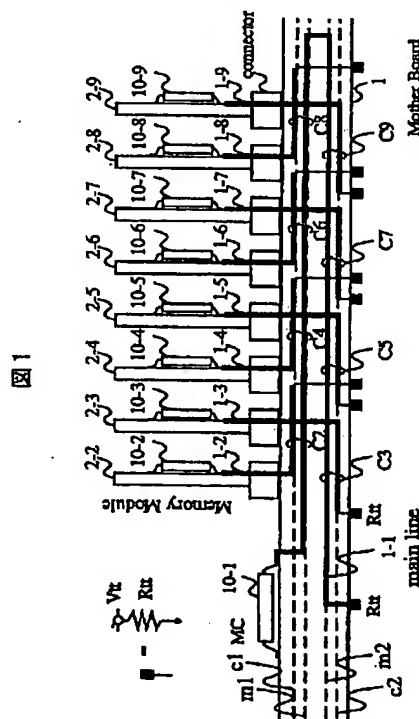
最終頁に続く

(54) 【発明の名称】 方向性結合式メモリシステム

(57) 【要約】

【課題】 方向結合器が占める配線長がバス接続されるモジュール間隔を決めているので、その間隔を短くするには方向性結合器の配線長を短くする必要があり、その結果、伝送の効率すなわち結合度を下げる原因となるので、ある一定の間隔以下にすることができなかった。そのため、メモリモジュール間の間隔を狭くすることが課題である。

【解決手段】 メモリコントローラからの配線（メインライン）を折り返し、折り返される前の配線と折り返された後の配線に方向結合器を形成できるので、結果として結合器の配線長はモジュール間のピッチより短くすることができ高密度実装が可能となる。



【特許請求の範囲】

【請求項1】 1つのバスマスタと複数のバススレーブ間でデータ転送を行うバスシステムにおいて、
該バスマスタから引き出された配線に対し該バススレーブのそれぞれから引き出された配線の一部が非接触かつ近接して平行に配置された方向性結合器を形成し、
該バスマスタから終端抵抗まで引き出された該配線が折り返して配線され、該バスマスタからの該引出し配線の該バスマスタから折り返し点までの第1の配線部、及び折り返し点から終端抵抗までの第2の配線部に対し該バススレーブから引き出された該配線の一部を交互に順次配置して方向性結合器を構成することを特徴としたバスシステム。

【請求項2】 請求項1において、
バスマスタからの引出し配線が前記バスマスタ付近にて2つに分岐して引き出され、それぞれの分岐引き出し配線に対し該バススレーブから引き出された配線の一部が方向性結合器を構成することを特徴としたバスシステム。

【請求項3】 請求項2において、
該バスマスタと該バススレーブ間のデータ伝達を行うため、該バスマスタから引き出された配線に対し該バススレーブからそれぞれ引き出された配線の一部が非接触かつ近接して平行に配置されて方向性結合器を形成し、
該バスマスタからの引出し配線が該バスマスタ付近にて2つに分岐して引き出されたそれぞれの分岐引き出し配線が折り返して配線され、該引出し配線の該分岐から折り返し点までの第1の配線部、及び折り返し点から終端抵抗までの第2の配線部に対し該バススレーブから引き出された該配線が方向性結合器を構成することを特徴としたバスシステム。

【請求項4】 請求項1、請求項2、請求項3において、
バスマスタからの引出し配線とバススレーブからの引出し配線により構成される方向性結合器がプリント配線基板上に形成され、更に前記方向性結合器が前記プリント基板の同一配線層に形成されたことを特徴とするプリント配線基板。

【請求項5】 請求項1、請求項2、請求項3において、
バスマスタからの引出し配線とバススレーブからの引出し配線とにより構成される方向性結合器がプリント配線基板上に形成され、更に前記方向性結合器のそれぞれが前記プリント基板の異なる配線層に形成されたことを特徴とするプリント配線基板。

【請求項6】 1つのバスマスタと複数のバススレーブ間でデータ転送を行うバスシステムにおいて、
該バスマスタと該バススレーブ間のデータ送受信を行うため、該バスマスタから終端抵抗まで引き出された配線に対し該バススレーブのそれぞれから終端抵抗まで引き出された配線の一部が非接触かつ近接して平行に配置されて方向性結合器を形成し、

該バススレーブから引き出された該配線が、該バスマスタからの該引出し配線の同一基板層内の該バスマスタからの該引出し配線の両側にそれぞれ形成された方向性結合器を、交互に順次配置することを特徴としたバスシステム。

【請求項7】 請求項1、請求項2、請求項3、請求項4、請求項5、請求項6において、

バスマスタとしてメモリコントローラの機能を有し、バススレーブとしてデータの読み書きできるメモリの機能を有し、前記バススレーブであるメモリを多数搭載したメモリモジュールがコネクタを介して前記バスマスタであるメモリコントローラを搭載したプリント基板に接続されることを特徴としたメモリシステム。

【請求項8】 請求項7において、
メモリから方向性結合器に接続されるメモリモジュール内の引出し配線に、複数個の前記メモリが接続され、該メモリがメモリモジュールプリント基板の両面に搭載されたことを特徴とするメモリモジュール。

【請求項9】 2つのデータ用端子を有し、一方から他方へ双方向にデータの流れを制御する方向制御機構と、
NRZ (Non-Return to Zero) 信号を入力しNRZ信号で出力するバッファと、
RTZ (Return To Zero) 信号を入力しNRZ信号に復調出力するレシーバの機能を有するバッファとを持ち、
前記方向制御機構により双方向にデータの流れを制御してデータ出力すること、及びNRZ信号からNRZ信号をあるいは、RTZ信号からNRZ信号に信号変換してデータ出力することを特徴とするトランシーバ。

【請求項10】 請求項1～3、請求項6～7、及び、請求項9において、

方向性結合器が形成されたプリント基板に接続され、複数のメモリとNRZからRTZへ変換する前記トランシーバとを搭載したモジュールであって、前記方向性結合器からのRTZ信号をNRZ信号に前記トランシーバにて復調して前記メモリに伝え、前記メモリからのデータをNRZ信号のままドライブすることを特徴とするメモリモジュール。

【請求項11】 請求項1～3、請求項6～7、及び、請求項9において、

方向性結合器が形成されたプリント基板に接続され、メモリコントローラを搭載したモジュールであって、前記方向性結合器からのRTZ信号をNRZ信号に復調して前記メモリコントローラに伝え、前記メモリコントローラからのデータをNRZ信号のままドライブする前記トランシーバを有することを特徴とするメモリコントローラモジュール。

【請求項12】 請求項10記載のメモリモジュールと請求項11記載のメモリコントローラモジュールとが接続されるプリント基板に方向性結合器が形成され、前記メモリコントローラモジュール内のメモリコントローラと

前記メモリモジュール内のメモリ間でデータの転送を行うことを特徴としたメモリシステム。

【請求項13】請求項1～3、請求項6、7、12において、

1つのバスマスタと1つ以上のバススレーブ間でデータ転送を行うバスシステムであって、該バスマスタと該バススレーブ間のデータ伝達を行うため、該バスマスタから終端抵抗まで引き出された配線と近接して平行に配置することで形成される方向性結合器を構成する2つの配線を接続し、前記バススレーブから前記2つの配線の接続点までT字型に配線し、かつ、バススレーブ側のT字型の方向性結合器の両端を整合終端することでデータ転送を可能としたことを特徴とするバスシステム。

【請求項14】請求項13において、正の前方クロストーク係数を有する方向性結合器を2つT字型に接続することで、バスマスタからNRZ (Non-Return to Zero) 信号のデータ転送において前記バスマスタに近い側の前記方向性結合器により正の前方クロストークを生成し、前記バスマスタに遠い側の前記方向性結合器により正の後方クロストークを生成し、接続点にてこれらが重ね合わされ、バススレーブに於いて、急峻な立上り又は立下がりを有するRTZ (Return To Zero) 信号を生成することを特徴とする方向性結合器。

【請求項15】請求項13、14において、メモリコントローラからクロック信号とデータ信号に対して配線が引き出し折り返され、前記クロック信号と前記データ信号でそれぞれメモリから引き出された配線と前記メモリコントローラからの引出し配線がT字型結合器を構成し、前記メモリコントローラから折り返し点までの配線部、及び折り返し点以降の配線部に對し、該メモリから引き出された前記クロック信号と前記データ信号用の配線が交互に順次配置されて複数のT字型結合器を構成し、前記クロック信号と前記データ信号用のそれぞれの前記T字型結合器が、前記メモリと前記メモリコントローラとの間でデータ伝搬遅延時間が同じになるように構成したことを特徴とするメモリシステム。

【請求項16】請求項15において、メモリコントローラからクロック信号に対する配線が引き出して折り返され、折り返された後の前記クロック信号が前記メモリコントローラに再び入力し、前記メモリコントローラのデータ信号に対する折り返されたデータ信号用配線の両端が接続されたスイッチを、リード動作とライト動作に対して前記メモリコントローラのデータ信号の伝搬の向きとクロック信号伝搬の向きとが同じになるように切り換え、更にメモリから引き出された配線と前記メモリコントローラからの引出し配線がT字型結合器を構成し、ライト動作では、前記メモリコントローラからはクロック信号に同期して

ライトデータを送出し、前記スイッチはクロック信号の伝搬方向と同じ向きになるようにデータ信号の伝搬の向きを切り換え、前記メモリでは送信された前記クロック信号により同位相で到達したライトデータをラッチし、リード動作では、

前記メモリからは受信された前記クロック信号に同期してリードデータを送出し、前記スイッチはクロック信号の伝搬方向と同じ向きになるように前記ライト動作とは反対になるようデータ信号の伝搬の向きを切り換え、前記メモリコントローラに戻ってきた前記クロック信号を用いて前記メモリからの前記リードデータをラッチすることを特徴とするメモリシステム。

【請求項17】請求項15において、メモリコントローラからクロック信号とデータ信号に対する配線が引き出して折り返され、折り返された後の前記クロック信号が前記メモリコントローラに再び入力し、折り返された後の前記データ信号が前記メモリコントローラに再び入力し、

前記メモリコントローラのデータ信号の伝搬の向きとクロック信号伝搬の向きとで、信号伝搬遅延時間が同じになるよう配線され、前記メモリコントローラからはクロック信号に同期してライトデータを送出し、前記メモリからは送信された前記クロック信号により、ライトデータをラッチし、前記メモリからは受信された前記クロック信号に同期してリードデータを送出し、前記メモリコントローラに戻ってきた前記クロック信号を用いて前記メモリからの前記リードデータをラッチすることを特徴とするメモリシステム。

【請求項18】請求項13、請求項14において、メモリコントローラから引き出されたデータ信号とデータストロブ信号用の配線が引き出され、前記データ信号と前記データストロブ信号に対するメモリから引き出された配線と前記メモリコントローラからの引出し配線とがT字型結合器を構成し、前記メモリコントローラからの前記データストロブ信号に同期してライトデータを送出し、前記メモリコントローラに戻ってきた前記データストロブ信号を用いてメモリからのリードデータをラッチすることを特徴とするメモリシステム。

【請求項19】配線の特性インピーダンスが一定な2つの配線を非接触かつ近接して平行に配置してなる方向性結合器を複数信号分内蔵したことを特徴とする方向性結合素子。

【請求項20】請求項19において、2つの配線からなり、1つの配線に対し片方の端子を整合終端した方向性結合器を複数信号分内蔵したことを特徴とする方向性結合素子。

【請求項21】請求項19において、

終端されたT字型結合器を複数信号分内蔵したことを特徴とする方向性結合素子。

【請求項22】メモリコントローラとメモリを複数搭載するメモリモジュール間の結合に請求項19、請求項20或いは請求項21記載の方向性結合素子を用いたことを特徴とするメモリシステム。

【請求項23】請求項1～3、請求項6、7、或いは請求項12或いは請求項15～18、22において、リードデータ信号の送信にNRZ信号を送信し、ライトデータの取り込みにRTZ信号を受信するインタフェースを内蔵し、アドレス・制御信号用にNRZの信号を受信するインタフェースを内蔵したことを特徴とするメモリコントローラ。

【請求項24】請求項1～3、請求項6、7、或いは請求項12或いは請求項15～18、22において、プロセッサが処理するデータを格納・読み込みのため、また、I/O部からDMA (Direct Memory Access) 転送するため、或いはグラフィック部から画像表示するメモリアクセスのため、方向性結合器を用いたメモリシステムを用いたことを特徴とする情報処理装置。

【請求項25】請求項1～3、請求項6、7、或いは請求項12或いは請求項15～18、22において、プロセッサが処理するデータを格納・読み込みのため、2次キャッシュメモリに方向性結合器を用いたメモリシステムを用いたことを特徴とするプロセッサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は情報処理装置においてマルチプロセッサやメモリ等の素子間（例えばCMOS等により構成されたデジタル回路間又はその機能ブロック間）での信号伝送のための技術に関し、特に、複数の素子が同一の伝送線に接続されデータ転送を行うバス伝送の高速化技術に関する。特に、複数のメモリモジュールとメモリコントローラを接続するバスとこれを用いるシステムに関する。

【0002】

【従来の技術】多数のノードが接続され高速にデータを転送するためのバス方式として特開平7-141079*

$$f_{knee} = 0.35 / T_r$$

このため、1Gbpsの脉冲を伝送する場合、その30%が遷移時間とすると $f_{knee} = 0.35 / (0.3 [ns]) \sim 1GHz$ である。この時の表皮効果による抵抗増加分を計算してみる。

【0008】20 [°C]における銅の体積抵抗率 ρ は $1.72 \times 10^{-8} [\Omega \cdot m]$ であり、標準的に用いられている基板の配

$$r = 2.6 \times 10^{-6} \sqrt{f} [\Omega / mm]$$

であり、1GHzでは、

【0010】

$$r = 82 [m\Omega / mm]$$

となり、DCの抵抗値6 [mΩ/mm] と比べると抵抗

* の非接触バス配線があった。従来技術の基本方式を図5に示す。これは2ノード間のデータ転送をクロストーク、すなわち方向性結合器を用いて行っていた。すなわち、図5は、バスマスタ10-1とスレーブ10-2～10-8間の転送を2線間すなわち配線1-1と1-2～1-8間のクロストークを用いて転送する技術である。図5は、バスマスタ10-1とスレーブ10-2～10-8間の転送には適していおり、すなわちメモリとメモリコントローラ間のデータ転送に適している。

【0003】

【発明が解決しようとする課題】しかし、従来の技術の特開平7-141079では方向結合器が占める配線長がモジュール間隔を決めていた。このため、モジュールの間隔を短縮するには方向性結合器の配線長を短くする必要があるが、配線長の短縮は伝送の効率すなわち結合度を下げる原因となるので、ある一定の間隔以下にすることができなかった。そのため、メモリモジュール間の間隔を狭くすることでメモリの高密度実装を行うことが第1の課題である。

【0004】また、第2の課題として、高速データ伝送において伝送速度が増すにつれて表皮効果など周波数依存性のある効果により波形歪みが增大するという課題がある。これはパルス波形の立上り、立下がりの肩の部分が増えるという現象になって現れ、この影響でパルス波形をレシーバにて取り込む際にスキューの増大となって現れている。すなわち、レシーバに入力されるパルス波形の肩が増えるためにレシーバの基準電圧 (V_{ref}) を超えるまたは下回る時間が増大し、結果としてレシーバの取り込み時間が増大しスキューの原因となっていた。

【0005】表皮効果がパルスの肩を増大させる理由として以下のように説明できる。

【0006】高速パルスはその遷移（立上り・立ち下がり）時間の逆数に応じて高周波成分を持つ。例えば T_r の遷移時間を持つパルスが持つ帯域 (f_{knee}) は次式で表される。

【0007】

【数1】

(数1)

※線（配線幅0.1 [mm]、配線厚み0.030 [mm]）の場合ではDCの抵抗値5.7 [mΩ/mm] となる。ここで、「 $\sqrt{\cdot}$ 」は、べき乗を表わす。又、表皮効果による単位長さ当たりの抵抗は、

【0009】

【数2】

(数2)

★【数3】

(数3)

は遷移時間では1.3倍に増加している。すなわち、遷移

時間のみ高抵抗となるのでこれにより波形が鈍りることになる。これは高周波数ほど抵抗成分が大きくなり立上り・立ち下がり時に影響が大きいためである。

【0011】これを克服する技術としてパルス波形をドライバにて遷移時（立上り・立下がり）の波形を急峻にすればよい。例えば "Limits of Electrical Signaling (Transmitter Equalization)"; IEEE HOT interconnect V (1997, 9/21-23), pp48にドライバ (transmitter) のDAC (Digital Analog Converter) を用いた等化器の方式が記載されている。これはドライバの波形を鈍り量に依りて逆に急峻に遷移波形を変化させることで行っていた。

【0012】これを用いた場合では、ドライバが複雑になり、LSIに多数の素子を搭載することが難しいと言う課題があった。

【0013】第3の課題として、複数のメモリはメモリコントローラからみて近いか遠いかに依りて配線長に差があった。このことからリードデータとライトデータに時間差が生じる。チップの配置場所によってデータの到達時間が異なり、これを補正するというのはシステム設計に非常に困難さをもたらす、この時間差を無くすること

が課題である。

【0014】
【課題を解決するための手段】第1の課題を解決するための手段として、メモリコントローラからの配線（メインライン）を途中で折り返し、折り返される前の配線と折り返された後の配線に方向結合器を形成できるので、結果として結合器の配線長はそのままにモジュール間のピッチをより短くすることができ高密度実装が可能となる。

【0015】第2の課題を解決するための手段として、前方クロストークを生成できる方向性結合器をT字型に構成することで後方クロストーク成分と前方クロストーク成分をNRZ信号の遷移時間に重畳することにより、波形を急進にできるので表皮効果などの波形鈍りを補正できる。その結果、ドライバに特別な制御を施す必要が無くLSIが単純になる。

【0016】第3の課題を解決するための手段として、同一の信号に方向性結合器により接続される、メモリコントローラから近い位置に配置されているメモリチップも遠い位置に配置しているメモリチップも配線を折り返し、リードサイクルとライトサイクルで切り換えることで場所による遅延差を無くすることで設計が容易になる。また、これを可能にするために、第2の手段T字型に方向性結合器を接続することで、両方向に信号が生成される特性を利用している。

【0017】

【発明の実施の形態】第1の実施例を図1を用いて説明する。

【0018】10-1はメモリコントローラ制御機構を有するLSIチップ(以下MC: Memory Controller)であ

り、2-2~2-9はメモリチップ10-2~10-9を複数搭載したメモリモジュールである。プリント配線板1 (Printed Circuit Board) は、MC10-1とメモリモジュール2-2~2-9を実装し、MC10-1とメモリモジュール2-2~2-9内のメモリチップ10-2~10-9間でデータ転送を可能とする配線を有しているマザーボード (Mother Board) である。メモリモジュール2-2~2-9はコネクタ (connector) を介してマザーボードに接続されている。

【0019】MC10-1はメモリチップ10-2~10-9に対しデータの読み書き（リード・ライト）の動作を行う。この読み書きのためのデータ転送用配線が1-1~1-9であり、この中で特にMC10-1に接続される配線1-1をメインライン (main line) と呼ぶ。

【0020】マザーボード1内の波線m1, c1, m2, c2はそれぞれ基板内の信号層を表している。配線1-1~1-9はそれぞれ一方の端をMC10-1ならびにメモリチップ10-2~10-9に接続され、他方の端は終端抵抗Rttを介して終端電圧Vttに接続されている。この終端電圧Vttに接続されている終端抵抗Rttを黒い四角 (■) で表した。この終端抵抗はそれぞれ配線1-1~1-7の持つ配線特性インピーダンスとおおむね同じ値の抵抗値を持つ。このため、配線1-1~1-7からの信号はこの終端部で吸収され反射が生じないよう動作する。

【0021】MC10-1とメモリチップ10-2~10-9間のデータ転送は反転した"C"字で表されたC2~C9の方向性結合器で行われる。この方向性結合器は特開平7-141079記載のものと等価である。すなわち、これは、2ノード間のデータ転送を2並行配線間の結合であるクロストーク（方向性結合器）を用いて行っていた。すなわち、MC（バスマスタ）10-1とメモリチップ（バススレーブ）10-2~10-9間の転送を2線間すなわちメインライン1-1と配線1-2~1-8間のクロストークを用いて転送する。このクロストーク信号はドライブパルスのエッジに対して生成され、ある時間後、終端電圧に戻る。この為、ドライブ信号が矩形波であるNRZ信号であれば方向性結合器により生成される信号はRTZ信号と見ることができ、この意味で方向性結合器はNRZ信号からRTZ信号への変換器であるといえる。

【0022】マザーボード1に於いて、これに搭載されるメモリモジュール2-2~2-9の間隔（ピッチ）は特開平7-141079に於いては方向性結合器が連続して配置しているためこの結合器の長さ以下には出来ないという課題があった（図7）。

【0023】それに対し本実施例では、メインライン1-1の配線はMC10-1から見てm1層を図面右方向に、メモリチップからのc1層の配線1-2, 1-4, 1-6, 1-8との結合器C2, C4, C6, C8

を構成した後、マザーボード1上の配線層をm2に変えて、図面左手方向に折り返される。この折り返されたメインライン1-1はメモリチップからのc2層の配線1-9、1-7、1-5、1-3との結合器C9、C7、C5、C3を構成し、その後終端される。ここで、結合器C2、C4、C6、C8はマザーボード1のm1層とc1層との間(上方層)で構成され、結合器C3、C5、C7、C9はマザーボード1のm2層とc2との間(下方層)で構成される。

【0024】結合器C2~C9はメインライン1に対し10
て配線の特性インピーダンスが一定になるように連続して配置されている。MC10-1とメモリチップ1-2~1-9との間のデータ転送が何れの結合器に於いても後方クロストークを用いて行われるよう配置・配線されている。すなわち、メインライン1-1の上方層にある結合器C2、C4、C6、C8と、下方層にある結合器C9、C7、C5、C3とでは配線が反対方向であるが、メインライン1-1に対しては同じ向きとなっているので、これにより後方クロストークが何れの転送に於いても生じるよう配置されていることになる。

【0025】図1のように、結合器を構成する片方の配線であるメインライン1-1を一方の層から他方の層へと1回折り返し、それぞれの層で方向性結合器を構成出来るので、メモリモジュール2-2~2-9の間隔を、方向性結合器C2~C9の結合器の配線長の半分程度に出来る。このため、1枚のマザーボード1にメモリモジュールを高密度で実装できる。

【0026】このような場合でも結合に必要な結合長は同じで、信号伝搬のための必要な結合量は、図7に示す従来技術の場合と同じであり、同等の信号波形品質を有30
していることになる。

【0027】すなわち、従来技術に於いては、図7のようにマザーボード1に搭載されるメモリモジュール2-2~2-4の間隔(ピッチ)は方向性結合器が連続して配置しているため、この結合器の長さ以下には出来ないという課題があった。しかし、図1のようにメインラインを折り返したことで、マザーボード1に搭載されるメモリモジュール2-2~2-4の間隔(ピッチ)を結合器の長さの半分にできシステムとして高密度実装が可能となる。

【0028】図2にマザーボード1の層構成の例を示す。

【0029】図2は、図1のマザーボード1のメインライン1-1に対して垂直な方向の断面である。図2は、上層からCAP1層、電源層(V1)、グランド層(G1)、信号層(m1)、信号層(c1)、グランド層(G2)、電源層(V2)、信号層(m2)、信号層(c2)、グランド層(G3)、電源層(V3)、CAP2層となっている例である。一般的にプリント配線板は両面を銅で覆われた銅張板をプリブレグで接着してあ50

り、このプリブレグを2本の波線で表した。

【0030】m1層、c1層の上下層に並んだ並行配線1-1、1-2により、図1中の方向性結合器C2を構成している。同様に、m2層、c2層の上下層に並んだ並行配線1-1、1-3により、図1中の結合器C3を構成している。

【0031】ここで、信号層(m1)のメインライン1-1と信号層(m2)のメインライン1-1は図1のように折り返された同じ配線である。

【0032】これらのm1層-c1層とm2層-c2層の結合器間にグランド層或いは電源層が位置しており、方向性結合器c2-c3間の結合である信号間のノイズを防ぐよう機能している。図2のように構成することにより、結合器間の信号の結合、すなわち漏話ノイズが小さくなり、高速のデータ転送が可能となる。

【0033】また、図3のように、結合器は断面に対して上下方向に結合しているが、当然、横方向に配置して結合するように構成しても良い。ここで、横方向とは、同一層を用いて結合器を構成することである。例えば、楕円で囲った結合器c2aは配線1-1aと配線1-2aからなり、折り返されたメインライン1-1aはm2層で配線1-3aと結合器c3aを形成する。同様に、信号ビットの異なるメインライン1-1bはm1層で配線1-2bと結合して結合器c2bを形成し、折り返された1-1bは配線1-3bと結合器c3bを形成する。それぞれの結合器C2a、C2b、C3a、C3b間の結合によって生ずるノイズの量を低減するために、層間にはレベル(level)(平面の)電源層を設け、かつ、層内では電源層間に距離を置いている。図3のように構成することにより、図2に比べて、結合器を構成するための層数が少なくて済むという効果が図2がある。

【0034】図4に、図1の回路で図3の層構成の実装方式の鳥瞰図を示す。用いた記号の意味はこれまでの図と同じである。MC10-1から引き出されたメインライン1-1aと1-1bは、CAP1層からm1層へ層を変えて配線され、m1層では図3のような断面を持つ結合器C2a、C4a、C2b、C4bを形成し、その後、層をm2層に変えて同様に結合器C3a、C3bを形成し、層をCAP2層に変えて終端されている。結合器からの配線はそれぞれメモリモジュール2-2~2-4に搭載されているメモリ10-1~10-4に接続されている。図4の例では2ビット(bit)の信号のみ記載してある。

【0035】また、図1、及び図4で更に、折り返しを2つ以上設けることで、メモリモジュール2-2~2-9間隔を方向性結合器の長さによらず更に短くすることも容易に理解できる。すなわち、メインライン1-1の折り返し部分を2つ設け、異なる層で方向性結合器を構成し、かつ、同一層で重複しないように配置することでモジュール間隔を結合器長の1/3程度に短く実装で

きる。このため、1回折り返した場合よりも更にメモリモジュールの高密度実装が可能である。同様に、折り返し部分を3つ設けて方向性結合器が重ならないように折り込むことで、モジュール間隔を結合器の長さの1/4程度に短く実装でき、更に高密度実装が可能である。

【0036】本実施例ではメモリモジュールの枚数は2-2~2-9の8枚であるが、それ以上でもそれ以下でも良く、その枚数はシステム構成により異なる。また、終端抵抗R_{tt}はマザーボード1の上面にあっても下面に有っても、その機能は変わらないので、どちらにあっても良い。また、本実施例の方向性結合器は後方クロストークを利用したものであるが、前方クロストークを利用したものでも良い。この場合の結合器を構成するメインライン1-1と配線1-2~1-9の信号伝搬の向きは反対方向となる。この場合でも、メインライン1-1を折り返すことで結合配線の長さ以下のピッチでメモリモジュールを実装できる。

【0037】第2の実施例として図6に示すように配置・配線しても高密度実装が実現できる。

【0038】図6に於いて各記号は図1のそれと同じ機能を有している。図6で、図1と異なるのは方向性結合器の構成である。すなわち、メインライン1-1は直線的に配置され、メインライン1-1の両側左右に互い違いになるようにもう片方の結合器C2~C6の配線1-2~1-6を構成している。この図6のマザーボード1の配線例を図7に示す。図7は図6のメモリシステムをボードの上面から見た図であり、図7に示されている配線は同じ信号層内にある多数の配線のうちの1ビット

(bit)のデータである。マザーボード1にはMC10-1とメモリモジュール2-2~2-6が接続されるコネクタ2~6が配置されている。メモリシステムのデータ信号は、バス接続されるので各コネクタの同じ位置の信号ピンに電気的に接続される。すなわち、コネクタの中で1つの信号ピンに注目すると、この信号は各コネクタとも同じピンから信号配線が引き出され、この信号配線が基板1上でメインライン1-1と結合することにより信号の伝達が可能となる。

【0039】図7に於いて、MC10-1から引き出されたメインライン1-1が終端に向かって配線され、その両側に方向性結合器C2~C6が定インピーダンスになるように形成されている。コネクタ3とコネクタ4の間に、結合器C2のメインライン1-1と配線1-2がコネクタ3の信号配線引出し用VIAを避けるように伸びており、さらに結合器と配線長分だけ結合した後、終端抵抗R_{tt}により終端される。

【0040】コネクタ3とコネクタ4との間に於いて、メインライン1-1の一方の側に結合器C2用の配線1-2が配置され、他方の側に結合器C3用の配線1-3が同じ結合度を保つように同じ配線ピッチで配置されている。同じ配線ピッチで配置している理由は、コネクタ

3と4に同じ機能を有するモジュールが接続出来るためには、結合器C2とC3とで同じ振幅の信号電圧を生成できるように、結合の度合いを同じにする必要があるためである。逆に言えば、同じ間隔で配線を配置することにより、メインライン1-1と配線1-2、1-3はそれぞれ同じクロストーク係数を持つことができ、コネクタ3、及びコネクタ4に装着されるメモリモジュールからのデータを同じ信号振幅で読み書きできる。

【0041】このように、他の信号についても同様な配置配線で方向性結合器C2とC3、C3とC4、C4とC5、C5とC6をそれぞれメインライン1-1の両側に形成することで、結合器C2~C6に必要な配線長に比べて約半分までコネクタ2~6のピッチを狭めることができる。その結果、第一の実施例の図1と同様な効果を持ち、かつ、マザーボード1に高密度のメモリを搭載できる。

【0042】ここで、コネクタ2とコネクタ3との間では、メインライン1-1の片側にしか配線1-2がないが、この2つの配線の結合とメインライン1-1の両側にある3つの配線の結合とが異なることによるインピーダンスのミスマッチングを防ぐ目的で、ダミーの配線をコネクタ2とコネクタ3の間のメインライン1-1の配線1-2とは反対側に終端配線しても良い。その結果、メインライン1-1のインピーダンスがよりフラットになるため、インピーダンスミスマッチが少なくなって信号歪みが小さくなり、さらに、高速なデータ転送ができる。

【0043】また、第3の実施例として図8のように高密度実装を同一層内で実現する折り返しメインラインを構成しても良い。

【0044】図8は電気的には図1と同じ構成であり、図8は図7と同様にマザーボード1をボードの上面より見た図である。図8では、MC10-1からのメインライン1-1が基板(マザーボード)1内の同一信号層で折り返されている。MC10-1からの信号はコネクタ2~6の同じ位置にある信号ピンに結合するが、メインライン1-1はこの信号ピンを囲むように同一層で配線されている。

【0045】このメインライン1-1に対してコネクタ2~6からの配線1-2~1-6は、結合器C2~C6のそれぞれが、順に並んでいるコネクタの一つおきに対応するように構成され、折り返される前のメインライン1-1と折り返された後のメインライン1-1にそれぞれ結合している。もちろん、コネクタ2~6、及びメインライン1-1は終端されており、終端部で反射歪みはない。また、MC10-1からのデータ配線(メインライン)はメモリモジュールのデータビット数に応じて4バイト、8バイト、16バイトと多数引き出されるが、マザーボード1において単一層のみを使用して配線する場合に配線密度が高すぎて配線できない時、複数有る信

号に応じて、メインライン1-1を、それぞれ別の単一層を用いて配線しても良い。例えば、図8のメインライン1-1が偶数番目のデータだとすると、奇数番目の信号に対しては別の信号層を使用することで配線密度を半分に減らすことができる。同様に信号の番号に対する3の剰余に応じて信号層を割り当てれば同一層内の配線密度を1/3に低減できる。

【0046】更に、別の効果として、同一の配線層を使用してメインライン1-1を配線することにより、図1に比べて折り返し部にVIAを用いる必要が無く、VIAに依るインピーダンスの乱れが殆ど無いので、メインライン1-1の特性インピーダンスが一定となる。これにより、VIA部での信号の反射がより少なくなって波形歪みが少なくなるので、更に高速なデータ転送を実現できる。

【0047】第4の実施例を図9を用いて説明する。

【0048】本実施例は第1の実施例或いは第2、第3の実施例の両方に適用できるメモリモジュールに関する。

【0049】図9(a)はメモリモジュール2-2内の信号接続図である。図9(a)に示すメモリモジュール2-2は1つの信号線1-2に2つのメモリチップ10-2a、10-2bを接続することで、モジュール当たりのメモリ容量を倍増できる。図9(b)はモジュール2-2の基板断面である。メモリチップ10-2a、10-2bはモジュール2-2の基板の両側に配置されており、同じ信号ピン同士を最短で接続するよう配線1-2の端に信号用VIAを設け、このVIAによりチップ10-2a、10-2bを接続している。図9(b)のように配置配線することで、配線1-2に接続されているメモリチップ10-2a、10-2bが最短で接続され、チップ上の入力及び出力波形をそれぞれほぼ同じにすることが出来る。このため、1モジュール当たりのメモリ搭載容量を倍増できる。その結果、システムとして高密度のメモリを実装できる。

【0050】第5の実施例を図10を用いて説明する。

【0051】本実施例は方向性結合器用のトランシーバを別部品として設けることで、更にメモリモジュールの搭載容量を増加させるものである。

【0052】トランシーバ3-1~3-9はドライバ6-2とレシーバ5-1からなり、ドライバ6-2とレシーバ5-1の出力制御を行う方向制御機能を有する。図10では、ドライバ6-2は三角形で示され、方向性結合器に接続されたレシーバ5-1は底辺が2本有る三角形で示されている。ドライバ6-2は通常のデジタル信号(矩形パルス)であるNRZ(Non Return to Zero)信号を入力し、この信号をNRZ信号で出力する。方向性結合器によりNRZ信号からRTZ(Return To Zero)信号へ変換された信号を、レシーバは元のデジタル信号であるNRZ信号へ復調することができる。すな

わち、RTZ信号からNRZ信号へ変換する。

【0053】モジュール2-1はメモリコントローラ10-1とトランシーバ3-1を有する。メモリモジュール2-2~2-9はメモリチップをそれぞれ複数搭載しており、これらモジュール2-1~2-9はマザーボード1上にコネクタを介して配置されている。

【0054】メインライン1-1は他方の端を終端電圧Vttに整合終端されている。方向性結合器C2~C9では、メモリモジュール2-2~2-9内のトランシーバ3-2~3-9から引き出された配線がメインライン1-1と共に結合器を成している。これらの配線はメインライン1-1と同様に終端電圧Vttに整合終端されている。メインライン1-1は図1、図7、及び図8のように折り返されて平行結合器を構成しても良い。

【0055】MC10-1は、メモリリード、ライトの状態に応じてトランシーバ3-1~3-9への信号伝達方向を制御するためのリードライト(R/W)信号4を送出する。信号4はまた、メモリチップに対するリードライト信号と兼用しても良い。図10では、リードライト信号R/Wは全てのチップが接続されているが、MC10-1ドライバのファンアウトとR/W信号の動作周波数の関係で、ファンアウトが多い場合はこれを減らすようにトランシーバを追加しても良く、このトランシーバ間のデータのやりとりは動作周波数が低いのでNRZからNRZへの伝達でよい。

【0056】次に、図10のMC10-1からデータを書き込むライト動作について説明する。

【0057】まず、MC10-1は、R/W信号をライトモードにしてトランシーバ3-1内のバッファ6-2をイネーブルにし、バッファ5-1をディセーブルにする。逆に、MC10-1は、メモリモジュール2-2~2-9内のトランシーバ3-2~3-9に内蔵されているバッファ6-2をディセーブルにし、バッファ5-1をイネーブルにする。このようにすることで、MC10-1から各メモリに対する書き込みの準備ができる。

【0058】バンク・RAS(Raw Address Strobe)/CAS(Column Address Strobe)アドレスを送信して書き込みが準備できた後、MC10-1はデジタル(NRZ)のデータを送出する。送出されたNRZ信号は、結合器C2~C9でRTZ信号に変換され、メモリモジュール2-2~2-9内のトランシーバ3-2~3-9に伝達される。伝達されたRTZ信号はトランシーバ3-2~3-9内のそれぞれのバッファ5-1でRTZ信号からNTZ信号に復調され、バス20-2~20-9を介してメモリチップにデータが伝えられ、これをメモリに書き込むことでライト動作が完了する。

【0059】次に、MC10-1へデータを読み込むリード動作について説明する。

【0060】まず、MC10-1はR/W信号をリードモードにしてトランシーバ3-1内のバッファ5-1を

イネーブルにバッファ6-2をディセーブルにする。逆に、MC10-1は、メモリモジュール2-2~2-9内のトランシーバ3-2~3-9に内蔵されているバッファ5-1をディセーブルにし、バッファ6-2をイネーブルにする。このようにすることで、各メモリからMC10-1に対する読み込みの準備ができる。

【0061】バンク・RAS/CASアドレスを送信して読み込みが準備できた後、アドレス指定されたメモリからデジタル(NRZ)のデータが送出される。伝達されたRTZ信号は、トランシーバ3-2~3-9内のそれぞれのバッファ6-2でNRZ信号のまま送出され、結合器C2~C9でRTZ信号に変換され、メインライン1-1に伝搬される。伝達されたRTZ信号は、トランシーバ3-1内のバッファ5-1でRTZ信号からNRZ信号に復調され、MC10-1にデータが伝えられ、これをMC10-1が読み込むことでリード動作が完了する。ここで、リード時又はライト時に先立ち、アドレスやリードライト状態を決めておくことは言うまでもない。

【0062】このように、メモリコントローラモジュール内に設けられたトランシーバ3-1を方向性結合器C2~C9と組み合わせることで、低歪みでかつ高速にデータを転送できるため、MC10-1は全ての信号をNRZで高速に送受信することが出来る。その結果、レシーバにRTZ信号復調用の特別な回路を持つ必要がなく、NRZ転送用のみのドライバレシーバを持つメモリコントローラも接続できる。また、メモリコントローラをモジュール形式にすることによりメインライン1-1に直接接続できるRTZレシーバを有するメモリコントローラを接続することもできる。その結果、システムの構成を柔軟にできる。

【0063】このように、メモリモジュール内に設けられたトランシーバ3-2~3-9を方向性結合器C2~C9と組み合わせることで低歪みかつ高速にMC10-1とのデータ転送ができる。更に、このような構成によって、メモリチップは従来のNRZ信号のみのインタフェースを持つだけでなく、低価格なチップを接続できるという効果がある。更に、メモリモジュール2-2内のデータバスは一般にメインライン1-1に比べて短いので高速動作が可能であり、メモリモジュール間の方向性結合器を用いたバスと同様な高速動作が可能である。その結果、システムとして、メモリモジュール内にメモリチップを多数搭載することが出来るのでメモリシステムの高密度化が可能である。

【0064】トランシーバの構成を図11を用いて説明する。

【0065】トランシーバ3-1にはデータ入出力用の信号ピンが2つあり、それぞれDA、DYと記した。バッファ5-1、5-2、6-1、6-2がトランシーバ3-1内に設けられて並列接続されてトランシーバ回路

を構成し、バッファ5-1、6-1はRTZ信号をNRZ信号に復調する機能を有する。トランシーバ内のバッファ5-2と6-2はNRZ信号を入力し、NRZ信号を出力する。

【0066】バッファ5-1、5-2、6-1、6-2は全て排他的に動作し、ただ一つのみ選択されることで伝送方向と信号変換種が選択される。

【0067】例えば、データDYからDAへのデータの転送には、方向制御信号At o Y信号をHにし、バッファ5-1または5-2をイネーブルにする。バッファ5-1か5-2の選択にはRTZ信号を用いる。データDAからDYへのデータの転送には、At o Y信号をLにバッファ6-1または6-2をイネーブルにし、バッファ6-1か6-2の選択にはRTZ信号を用いる。

【0068】また、Vrefはバッファ5-1、5-2、6-1、6-2の入力信号に対する基準電圧であり、それぞれ矢印で示した端子に接続されている。この基準信号で入力信号が判定される。

【0069】図11のように構成することで、DA、DY信号はデータ転送の方向に対し対称になり、RTZ信号もNRZ信号もどちらの信号からもデータ転送できるようになる。なお、図11で、バッファ5-1、5-2、6-1、6-2を4つ並列接続しているが、RTZ用のバッファ5-1とNRZ信号用のバッファ6-2のみを並列接続する構成も可能である。このような場合でも、図10に示すトランシーバ3-1~3-9の機能を果たすことが出来る。なぜなら、図10のライト時、リード時とも、MC10-1或いはチップ側から信号を送出する場合はNRZ信号用バッファ6-2を選択し、マザーボード1からのRTZ信号を受ける場合はRTZ信号用のバッファ5-1を選択すればデータ転送が行えるためである。

【0070】先に述べたように、高速データ伝送において伝送速度が増すにつれて表皮効果など周波数依存性のある効果により波形歪みが増大するという課題がある。これを克服する技術として、ドライバによって遷移時(立上り・立下がり)のパルス波形を急峻にする技術もあるがドライバの構成や制御が複雑である。これをドライバではなく結合器により行うことが本実施例の目的である。

【0071】上記の目的を達成するために、T字型結合器を用いたメモリバスを図16に示し、このT字型結合器の原理を図12、及び図13を用いて説明する。

【0072】図16はT字型結合器をメモリバスシステムに適応した図であり、メモリコントローラ10-1、及びメモリチップ10-2がT字型結合器に接続されている。コントローラ10-1、及びメモリ10-2ともデータ送受信用のドライバ、レシーバからなるインタフェース回路を有している。すなわち、このメインインタフェース回路にはNRZ信号ドライバとRTZ信号レシーバ

を含む。

【0073】図16でT字型結合器T1は、片方の端が終端されているメインライン1-1に結合した結合器C1、C2と引出し配線からなり、その引き出し線の両端が終端抵抗Rtta、Rttbで終端されている。本実施例では結合器C1とC2は同じ長さの結合配線長を持つ。

【0074】図12は、図16に示したT字型結合器のメモリライト動作の説明図であり、図13はリード動作の説明図である。

【0075】図12、及び図13で白抜き箱は伝送線路を示している。メインライン1-1に対応する配線は伝送線L1、L2、L3、L4からなり、図16の配線1-2に対応する配線は伝送線L5、L6、L7からなる。伝送線L2とL5が結合器C1を形成し、伝送線L3とL6が結合器C2を形成している。

【0076】本実施例では、点線で示されたT字型結合器T1は、互いに接続された2つの結合器C1とC2と、これらの引き出し用の伝送線L7を有する部分と呼ぶこととする。

【0077】結合器T1の各端子は、結合器の裸の(真の)電気特性を明らかにする目的で終端電源Vttに終端抵抗Rttに接続され、これにより各点での伝送路の反射がない。

【0078】図12のライト動作では、図16のMC10-1のドライバは図12でのパルス源(vpulse)、その内部抵抗rd及びMC10-1が持つ静電容量Cp1からなる等価回路として表現している。また、図16のメモリ10-2のレシーバは、図12ではノー*

*ドs5に接続された静電容量Cp5と抵抗rsで表現した。また、リード動作ではMC10-1のレシーバは図13のノードd1に接続された静電容量Cp1と抵抗rdで表わし、メモリ10-2のドライバはパルス源、その内部抵抗rsと等価容量Cp5で表した。

【0079】このT字型結合器の特性を明らかにするため回路シミュレーションを行った。

【0080】各点での信号波形を図14と図15に示す。

10 【0081】回路シミュレーションにはSPICE (Simulation Program for Integrated Circuit Emphasis)を用いた。ただし、使用したSPICEでは表皮効果が扱えないので表皮効果のない波形すなわち、波形の鈍りが無い状態を模擬している。実際は表皮効果がこのシミュレーション結果に重畳されることになり、一般的には信号波形の肩が減衰あるいは鈍る。

【0082】図14は図12に対応したリード動作での各点(d1, d4, s1, s4, s5)の波形、図15は図13に対応したライト動作での各点(d1, d4, s1, s4, s5)の波形である。図14、図15はドライブ位置が異なるのみで他の回路の定数は同じである。

【0083】図14でドライブ位置は図12のノード(点)d1である。波形の観測点はドライブ点のd1、メインライン1-1の終端点d4、rsの入力端s5と結合器の両側終端部でのs1, s4である。

【0084】各パラメータはそれぞれ以下の通りである。

【0085】

終端抵抗値	r _{tt}	=	50 [Ω]
等価入力容量	c _l	=	3 [pF]
等価入力容量	c ₅	=	3 [pF]
終端電源電圧	v _{tt}	=	1.0 [V]
点s5の内部インピーダンス	r _s	=	50 [Ω]
vpulse内部インピーダンス	r _d	=	50 [Ω]
遷移時間	t _r	=	0.2 [ns]

メインライン1-1の引出し線(L1)の伝搬遅延時間

t_{pd1} = 216 [ps]

メインライン1-1の引出し線(L4)の伝搬遅延時間

t_{pd2} = 360 [ps]

T字型線路1-2の引出し線(L7)の伝搬遅延時間

t_{pd5} = 216 [ps]

メインライン1-1の線路(L1)のインピーダンス

z_l = 50 [Ω]

メインライン1-1の線路(L2)

z₂ = 50 [Ω]

T字型線路1-2の引出し線(L7)

z₅ = 25 [Ω]

結合器(coupler1, coupler2)のモデルは

r _{l1} =1m	[Ω/m]	L _{l1} =361.3n	[H/m]
r _{l2} =1m	[Ω/m]	L _{l2} =361.3n	[H/m]
L _{l2} =050n	[H/m]		
c _{r1} =144.5p	[F/m]		
c _{r2} =144.5p	[F/m]	50	

である。

【0086】ここで、 r_{11} 、 r_{22} は単位長さ当たりの配線抵抗、 L_{11} 、 L_{22} は配線の単位長さ当たりの自己インダクタンス、 CR_1 、 CR_2 は配線の単位長さ当たりの自己キャパシタンス、 L_{12} 、 C_{12} は単位長さ当たりの相互インダクタンスと相互キャパシタンスである。

【0087】図14においてノードd1は送信信号波形、ノードd4はメインライン1-1の終端抵抗位置での波形、s1、s4、s5はT字型結合器の他方の配線の各点の波形である。図14で受信波形はs5の太い実線で書かれた波形であり、遷移時に急峻な鋭い波形をなしている。これにより表皮効果などの信号波形の肩の減衰を補正することが出来ているのが分かる。

【0088】同様に図15は図13に対応する波形であり、ノードs5からの送信波形は矩形であり、受信ノードd1の波形は図14と同様に遷移時間に急峻な鋭い波形をなしている。これにより表皮効果などの信号波形の肩の減衰を補正することが出来ているのが分かる。

【0089】次に、波形が急峻にできる理由を図18、図19を用いて説明する。

【0090】図18(1)はライトデータであり図12のvpulse或いは図16のMC10-1からのNRZ信号波形である。これがメインライン1-1を伝搬し、T1時間後、結合器C1とC2の接続点(分岐点)に対応するメインライン1-1上の位置に到達するとする。この時刻の結合器C1に生成される信号が図18

(2)となり、これは結合器C1がMSL(Micro Strip Line)の場合、前方クロストーク(FWXT:Forward Cross talk)として生じる。これはMC10-1の出力波形の立上り時間(T_a)と同程度のパルス幅となる。このFWXTはメインライン1-1上を伝搬するパルスと同じ速度で併走する性質を持ち、メインライン1-1上のL2とL3の接続点に到達すると同時に配線1-2の分岐点であるL5とL6の接続点にクロストークとして生じる。なお、結合器がSL(Strip Line)の場合は結合係数がゼロなのでFWXTは生じない。

【0091】更に、メインライン1-1上のNRZ信号は終端に向かってL3上を無反射で伝搬するが、この伝搬パルスが結合器C2に後方クロストーク(BWXT:Backward Crosstalk)を生じさせる。このクロストーク波形が図18(3)である。このクロストーク波形図18(3)は結合器C2の配線長を往復伝搬する時間幅だけ続く。

【0092】例えば、結合器がガラスエポキシ系プリント基板で出来ているとすると比誘電率はおよそ $\epsilon_r = 4.6$ である。結合長が30[mm]の場合、パルスの伝搬速度を7.15[ps/mm]($=\sqrt{\epsilon_r}$ (比誘電率=4.6)/光速)を掛けると、往復の伝搬遅延時間は4

29[ps]となる。

【0093】図12に示す結合器T1では、結合器C1で生じた前方クロストークと結合器C2で生じた後方クロストーク信号が重畳される。これが図18(4)であり、図16のメモリチップ10-2に伝搬する。

【0094】表皮効果は波形の肩が鈍る現象であり、この波形鈍りを打ち消すにはパルスの立上りをオーバーシュートを起こせばよく、まさに図18(4)はその通りの波形になっている。図18は図16に於いてMC10-1からチップ10-2のデータ転送に関する波形であるが、同様にチップ10-2からMC10-1のデータ転送に対しても同じ波形が生成される。これを図19を用いて説明する。

【0095】図19(1)はチップ10-2からのNRZ信号である。これが配線1-2の分岐点に到達した後、結合器C1(L5)とC2(L6)の両方に進行する。その後、図18で説明した波形生成プロセスが逆方向に生じる。図19(2)はMC10-1側の図15ではd1の電圧波形である。ここで、結合器C1によるFWXTが生成され伝送線L5を伝送するパルス波形と併走して伝送線L2をパルスを増大させながら進行する。他方、結合器C2による生成されたBWXTは配線1-2の分岐点にパルスが入力したと同時に生成され、生成されたBWXTは伝送線L2を進行する。このパルス幅は図18と同じ T_b 時間である。この結合器C1で生成された前方クロストークと結合器C2で生成された後方クロストークは伝送線L2を同時に進行し結果として、図19(2)の様な波形となる。これはMC10-1ドライブの場合の図18(4)と同じである。逆に、図13のd4側の波形は図19(3)のようになる。これは図19(2)と到達時間を除いて同じ波形である。なぜならば、メインライン1-1に生じるBWXTとFWXTがMC10-1とは反対に結合器C2とC1でそれぞれ生成されるが、そのクロストーク生成過程は同じためである。

【0096】以上のようにT字型の結合器を用いた場合、遷移時間のみエッジが急峻に立ち上がる(オーバーシュート)にも関わらず、結合器C2のみ用いていた場合と同じパルス幅を持ちパルス幅が太くならない。すなわち、T字型結合器を用いても表皮効果による波形鈍りを補正できると同時に結合器C2のみ用いた場合と同じパルス幅が保たれるので高速動作を低下させることはない。

【0097】このオーバーシュート分はFWXTで生じているので、Micro Strip Lineを結合器に選ぶべきである。また、FWXTに於いても基板の構成によってはその前方クロストーク係数が正であったり負であったりするので正になるように基板の配線構造を選ぶことが重要である。

【0098】このように動作するので、図16のメモリシステムではMC10-1とメモリチップ10-2~10-4間で表皮効果による波形鈍りをT字型結合器T1~T3で生成されるオーバシュートにより補正できるのでより高速化できる。

【0099】次に、このT字型結合線路を用いたメモリシステムを図17を用いて説明する。本実施例の目的は第1の実施例の高密度メモリ搭載の他に、高速データ転送に不可欠なデータ取り込みタイミング設計を簡単にすることを目的としている。

【0100】10-1はメモリコントローラ(MC)で、メモリチップ10-2~10-7に対してリード信号・ライト信号とクロック信号を送受信している。7-1はクロック信号用のメインラインである。7-2~7-7はメインライン7-1と結合したT字型結合器であり、メモリチップ10-2~10-7にそれぞれ接続されている。

【0101】クロック信号CLKoutはMC10-1からMC10-1内のクロック位相φに同期して出力され、メインライン7-1を通してMC10-1のクロック入力信号CLKinに再入力される。メインライン7-1はMC10-1の近くで両端が終端されており、この端での反射はほとんどない。

【0102】スイッチ9のライト、リード信号端子はデータ用のメインライン8-1に接続され、スイッチ9は、ライト時にはWrite方向へ、リード時にはRead方向に低インピーダンスで接続される。データ用のメインライン8-1と結合器8-2~8-7はクロック用の配線7-1と結合器7-2~7-7と同じ配線位置(同形)で配線されている。スイッチ9の伝搬遅延時間は有限の値を持つが、この時間と等しい伝搬遅延時間を持つ配線がクロック信号CLKoutの配線7-1に足されており、MC10-1から見て同形配線となる。

【0103】ここで、図17にはCLK信号とデータ信号のみ図示したがその他の信号、例えばアドレス信号や制御信号、チップセレクト信号などチップに対して書き込むだけの一方の信号はスイッチ9の様な切替器は持つ必要がない。

【0104】MC10-1からデータを書き込む場合(ライト動作)を図29を用いて説明する。符号とその意味は図17と同じである。

【0105】まず、MC10-1はメモリ書き込みに先立ちスイッチ9を制御しWrite側に切り換えておく。バンク・RAS/CASアドレスを送信し、ライトデータ動作の準備できた後、MC10-1はNRZのライトデータをクロックCLKoutと同期して送出する。

【0106】例えば、メモリ10-2に対して書き込み動作を行う場合、送出されたクロック信号(CLKout)とライトデータのNRZ信号はそれぞれのT字型結合器7-2、8-2でRTZ信号に変換される。

【0107】クロック信号CLKoutは配線7-1、7-2上を伝搬する経路R1でメモリ10-2に到達する。ライトデータは配線8-1、8-2上を伝搬する経路R2でメモリ10-2に到達する。経路R1とR2はスイッチ9を含めて等長配線であるので、結果としてメモリ10-2においてクロック信号とライトデータが同位相で到達することになる。ここで、位相とはクロック信号とデータ信号の信号波形の位相を言い、同位相とは位相差がリード/ライト動作では無視できるほど小さいことを言う。

【0108】同様に、他のメモリ10-3~10-7に対してもクロック信号とライトデータ信号の位相差は、MC10-1からの伝搬遅延時間の差はあるものの、同形配線のため同じである。すなわち、クロック信号とライトデータ信号の位相差は各メモリチップ10-2~10-7で同じなので、メモリ10-2~10-7はクロック信号CLKoutを用いてデータを取り込む(ラッチ)ことができる。このように、どのメモリに対しても、同じ位相差を持つクロック信号CLKoutとライトデータを伝達できる。

【0109】MC10-1からデータを読み出す場合(リード動作)の動作を図30を用いて説明する。

【0110】まず、MC10-1はR/W信号をreadモードにする。バンク・RAS/CASアドレスを送信して読み込みが準備できた後、アドレス指定されたメモリからNRZ信号のリードデータがクロック信号CLKoutに同期して送出される。

【0111】例えばメモリ10-2から読み込むとする。クロック信号CLKoutは図29と同じく配線7-1、7-2の経路R3でメモリ10-2に入力されている。リードデータはメモリ10-2から入力されたクロック信号CLKoutに同期して出力される。出力されたリードデータは配線8-2、8-1の経路R4でスイッチ9を会してMC10-1に入力される。すなわち、MC10-1からみてメモリ10-2のリードデータの到着時刻は"経路R3の伝搬遅延時間"+"メモリ10-2の入力クロックCLKoutからリードデータ信号までの出力時間"+"経路R4の伝搬遅延時間"となり、これはどのメモリ10-2~10-7に対しても同じである。なぜならば、経路R3と経路R4の和がどのメモリに対しても同じであるからである。すなわち、MC10-1から近いメモリ10-2では経路R3は短いとその分経路R4は長い。MC10-1から遠いメモリ10-3では経路R3は長いとその分経路R4は短い。つまり、メモリチップはMC10-1に対し電氣的に伝搬遅延時間が近い場合も遠い場合もMC10-1に対し同時刻にリードデータは到着することになる。このため、MC10-1内では戻ってきたクロック信号CLKinを用いれば、どの位置のメモリチップからのリードデータであっても同位相でラッチできることになり、

データタイミングに掛かる設計が大幅に容易になる。

【0112】このようにライトデータに対してもリードデータに対しても同位相差とできるのは、方向性結合器7-2~7-7あるいは8-2~8-7によるインピーダンスの乱れが無いこと、T字型結合器により前方にも後方にも同じパルスを送出できることによる。この場合でも更にT字型結合器を用いることで遷移時間パルスを急峻にできるので表皮効果などの波形歪みに対しても有効に高速動作させることができる。

【0113】次に、この実施例の更なる応用例を図20 10を用いて示す。

【0114】図20は図17に比べて、MC10-1のデータ用の信号回路が異なる。これはライトデータとリードデータ用のインタフェース回路を分けて、それぞれがドライバ及びレシーバを有する実施例である。ここで、ライトデータ送出用のドライバとリードデータ受信用のレシーバの内部インピーダンスはメインライン7-1、8-1の特性インピーダンスZ₀と同じであり、MC10-1の端子に於いて信号の反射波はない。このように構成することで図17と同じようにリード・ライト 20データのタイミングが揃い、パルス遷移を急峻にでき、高密度実装を実現できる上に、データ用の終端抵抗とスイッチ9を無くすことができ低価格化を実現できる効果がある。

【0115】次に、T字型結合器を用いた別の実施例を図21を用いて説明する。

【0116】本実施例に於いて図17の実施例と異なるのはCLK信号の代わりに、ストロブ信号(DQS)を用いて、データの送受信を行う点である。

【0117】DQS信号はMC10-1の内部クロック 30信号φに同期してデータライト時に送出される。メモリチップ10-2~10-7は、メインライン8-1に結合したT字型結合器8-2~8-7で生成されたライトデータ(DQ信号)をDQS信号を用いてラッチする。これは先の実施例(図20)と同じくDQS信号とDQ信号の伝搬位相差がどのメモリに於いても同じになる事による。

【0118】リードデータに対しては、各チップからのリードデータ(DQ)は結合器とメインライン8-1を介してMC10-1に入力される。これと同時にリード 40データを送出したメモリチップからはストロブ信号

(DQS)も送出される。これによりメモリチップ10-2~10-7のMC10-1に対する遅延時間が異なるような配置に対してもリードデータ(DQ)とストロブ信号(DQS)信号の位相差が等しいのでMC10-1ではDQS信号によりリードデータDQをラッチすることができる。すなわち、配線を折り返さない場合でもリードデータをタイミングを揃えて取り込むことができる。更に、DQS信号DQ信号に対して図7、図8で説明したようなメインラインに対し左右に結合する結合 50

器を用いることで高密度実装が可能となる。

【0119】次に高密度実装を実現する実施例を図22を用いて説明する。

【0120】図22に於いて、メインライン1-1はMC10-1から引き出され、MC10-1付近で分岐しており分岐配線の端がそれぞれ終端されている。メモリモジュール2-2~2-9からの配線はこのメインライン1-1と方向性結合器を構成することでデータの送受信を可能としている。図22ではメインライン1-1はマザーボード1の上方の層(m1)と下方の層(m2)にMC10-1付近で分岐しており、分岐したメインライン1-1に対してモジュール2-2~2-9からの配線がそれぞれの層(c1, C2)で交互に結合している。

【0121】このようにメインライン1-1を分岐させ、この分岐したメインライン1-1に対して結合器C2~C9を構成することにより、結合器C2~C9の配線長よりも短いピッチでメモリモジュールを実装することができる。

【0122】又、同様に図23のように高密度実装が可能な構成とできる。

【0123】MC10-1から引き出されたメインライン1-1はMC10-1付近の配線層m1で左右に分岐し、この分岐した配線が配線層m2にそれぞれ折り返され、これら折り返されたメインライン1-1に対し結合器C2~C9を構成するようにメモリモジュール2-2~2-9が配置されている。この配置は図22と比べてMC10-1がメモリモジュール2-2~2-9に対して中央に配置されている。このように、製品を構成する上で放熱や部品の干渉、といった実装上の制約条件に応じて、図22のような構成でも、図23のような構成でも実装が可能なことを示しており、製品設計に自由度を増すことができる。

【0124】さて、上述の結合部を別の部品、すなわち結合素子として構成してもよい。この実施例を図24を用いて説明する。

【0125】図24(a)は方向性結合器を多数搭載したチップ(素子)60を示す。図24(a)のチップでは4ビット分の信号端子DA1~DA4, DY1~DY4, EA1~EA4, EY1~EY4を有する。4ビットのデータ信号番号をiで示すとすると、チップ60内では、端子DAiとEai間の特性インピーダンスがZ₀である配線と、端子DYiとEYi間の特性インピーダンスがZ₀である配線が設けられ、更にこれらの配線間に方向性結合器Ciが形成されている。結合器Ci同士間の結合は無視できるぐらい小さい。これにより、ビット間の干渉を低減できる。

【0126】この結合器60の部材として、エポキシ系樹脂上に形成された配線ばかりでなく、ポリイミド系樹脂やアルミナやムライトなどのセラミック、更にシリコ

ン上に形成した配線であっても与える機能は同じである。図24(a)のように構成することにより、多ビットの結合器をマザーボードに持たせなくても、別部品とすることができ、基板密度が更に上がるばかりでなくマザーボード設計の自由度が増す。

【0127】また、図24(b)に示すように、終端電源V_{tt}に接続された終端抵抗R_{tt}を内蔵するように結合器チップ61を構成しても良い。これは図24

(a)に比べて、端子E_{Ai}に対応する部分に終端抵抗を設けることでチップ上のピン数を減らすと共に、マザーボード上から終端抵抗を減らすことができるという効果がある。更に、図24(c)のように、T字型結合器を両端に終端抵抗を内蔵するように構成しても良い。信号の入出力は図24(b)と同じであるが結合器C1、C1'の両端がV_{tt}端子で終端されている。

【0128】なお、図24(b)、(c)の素子61、或いは62内の終端抵抗は実装設計上の自由度を高める目的で素子61、62内に設けられたスイッチにより制御されてもよい。例えば、スイッチをオンにすれば抵抗が低インピーダンスとなり図24(a)のように終端抵抗のない状態になり、あるいはスイッチをオフにすれば図24(b)のように抵抗値のある状態に制御できる。

【0129】図24の結合素子をメモリシステムに応用した実施例を図25を用いて説明する。

【0130】図25はMC10-1とメモリモジュール2-2~2-5に搭載されたメモリチップ間でデータを送受信するシステムの基板断面を含む配線模式図である。MC10-1から引き出された配線1-1が結合素子61-2の図24(b)に示すD_{Yi}に相当する端子に接続され、結合素子61-2のD_{Ai}に相当する端子にはメモリモジュール2-2が配線されている。

【0131】また、結合素子61-2の端子E_{Yi}からマザーボード1上に配線1-2が引き出され、第2の結合素子61-3に接続されて、配線は以降同様であり、結合素子61-5からの配線1-5は終端されている。

【0132】図25のように配置配線することにより、MC10-1からのデータ信号は結合素子61-2~61-5を介してメモリモジュール2-2~2-5に結合し、データを伝送することができる。また、配線1-1~1-5と結合素子61-2~61-5の特性インピーダンスがMC10-1から見た配線の特性インピーダンスZ₀に一致していれば無反射で伝送することができこれにより低ノイズでデータ転送できる。また、結合素子61-2~61-5を別チップに構成することにより、マザーボードの設計に自由度を持たせることができる。すなわち、結合器の配線長が制限以下になるようにメモリモジュールを搭載することができ高密度実装が可能である。また、マザーボード1の層構成に結合器を持たせなくて済むので層数を減らすことができ基板を低価格化できる。更に、結合素子を別部品とすることにより、マ

ザーボード1の基板全体の中に結合器を設けるよりも、部品の製造上のバラツキを抑える事ができる。

【0133】ここで、当然結合素子61-2~61-5はマザーボード1に対してメモリモジュール2-2側に搭載するばかりでなく、裏面側に搭載することもできる。

【0134】次に、方向性結合器を用いたデータ転送に好適なMCの内部ブロック図を図26に示す。

【0135】点線で示した10はMCの制御を示すブロック図である。メモリへのアクセスはアドレス変換部17、リードデータ信号15、ライトデータ16を介して行われる。すなわち、ライトアクセスは、アドレス変換部17でのアドレス計算によって、論理アドレスを物理アドレスへ変換し、物理アドレスの番地に対応したメモリにデータ信号16のデータを送る。これをMC10内では、その他必要に応じてシーケンサ19がMC10に接続されているメモリに応じたタイミングで各ブロックを制御する。例えば、RAS、CASの切替え、ベースアドレスBA、チップセレクトCSの送信のシーケンス・タイミング管理を行う。これに必要なならばデータにECC(Error Correct Code)を生成部ECCgにて生成し、データに付加させて送信する。

【0136】同様に、リードアクセスに対してはメモリに対するリード要求とアドレスをRAS、CASの切替え、ベースアドレスBA、チップセレクトCSの送信により行う。このほかに、当然、リードライト切替え信号やデータマスク信号も含む場合もある。メモリがリードデータを送信したのを見計らってレシーバ5よりデータを受信し、ECC部でデータエラーの検出訂正を行った後、MC制御部10はリード要求に対するデータを返す働きを行う。尚、レシーバ5はRTZ信号をNRZ信号に復調できる機能も持っている。このほかシーケンサ部19はドライバ6のイネーブル制御や、DRAMのリフレッシュ制御、power on制御なども当然行う。

【0137】このような機能を有することでシステムの別の部位からのメモリアクセス要求、例えばI/O側からのDMA転送要求や、プロセッサからのメモリアクセス要求に対し、データのメモリへの格納(ライト)、参照(リード)が可能である。

【0138】次に、図27に本発明の方向性結合器を用いたメモリバスシステムを応用した実施例を示す。

【0139】図27は4つのCPUとチップセット300がプロセッサバス201により相互接続されている。また、DRAMを制御するメモリコントローラを内蔵するチップセット300がメモリバス202により相互接続されている。更にPCIなどの周辺装置を接続するためのI/OポートLSIとチップセット300がI/Oバス203により相互接続されている。また、グラフィックポートとして、チップセット300とグラフィック制御LSIがグラフィックバス204を介して接続されている。

る。

【0140】これらのバス201～204はチップセット300に接続されている。チップセット300はバス201～204は各バス間のデータ送受信を司る。

【0141】ここで、メモリバス202に本発明の方向性結合器を用いたデータ転送を行っている。これによりメモリアクセルの高速動作が可能でスループットが向上し、レイテンシが短くなるのでシステム性能が向上するという効果がある。

【0142】又、本発明の方向性結合器を図28のようにプロセッサモジュール400内のキャッシュメモリバス410に応用しても同等な効果が得られる。この場合、結合器はプロセッサモジュール内に構成され、例えば、MCM (Multi Chip Module)のように多数の半導体素子を1つのパッケージに実装する技術を用いれば、キャッシュコントローラを内蔵するプロセッサとキャッシュメモリとをパッケージに構成された結合器により結合させることができ、これにより高速なデータ転送が可能となる。

【0143】

【発明の効果】メインラインを折り返し、この折り返したメインラインに対し方向性結合器を構成することで、メモリモジュールの間隔を方向性結合器の結合器の配線長の半分程度に出来る。

【0144】T字型結合器を用いることで、波形が急峻になり表皮効果に対して補償する効果がある。このため、高速動作が可能となる。

【0145】複数のメモリに対しメモリコントローラからのクロック信号とデータ信号の配線を折り返しクロック信号を再入力することで、リードデータとライトデータに時間差を無くすることができる。このことによりシステム設計に非常な容易になった。

【図面の簡単な説明】

【図1】第1の実施例を説明する図である。

【図2】第1の実施例の基板構成図である。

【図3】第1の実施例の別の基板構成図である。

【図4】第1の実施例の鳥瞰図である。

【図5】従来の方式である。

【図6】第2の実施例のメモリモジュールを高密度で実装するための配線方式である。

【図7】第2の実施例の基板配線である。

【図8】第2の実施例の別の基板配線である。

【図9】メモリモジュールである。

【図10】方向性結合式伝送用トランシーバを用いたメモリシステムである。

【図11】方向性結合式伝送用トランシーバの内部構造である。

【図12】T字型結合器等価回路（ライト動作）である。

【図13】T字型結合器等価回路（リード動作）である。

【図14】シミュレーション波形（ライト動作）である。

【図15】シミュレーション波形（リード動作）である。

【図16】T字型結合器を用いたメモリシステムである。

【図17】リターンクロックとT字型結合器を用いたメモリシステムである。

【図18】T字型結合器を用いたメモリシステムの説明図（ライト動作）である。

【図19】T字型結合器を用いたメモリシステムの説明図（リード動作）である。

【図20】リターンクロックとT字型結合器を用いたメモリシステムである。

【図21】DQS信号とT字型結合器を用いたメモリシステムである。

【図22】折り返し配線を用いた方向性結合式メモリ方式である。

【図23】折り返し配線を用いた方向性結合式メモリ方式である。

【図24】方向性結合素子である。

【図25】方向性結合素子を用いたメモリシステムである。

【図26】メモリコントローラブロック図である。

【図27】折り返しメインラインを用いたメモリバスを持つシステムである。

【図28】折り返しメインラインを用いたキャッシュメモリバスを持つシステムである。

【図29】メモリシステムのライト動作説明図である。

【図30】メモリシステムのリード動作説明図である。

【符号の説明】

1 プリント
基板（マザーボード）
1-1 メイン
ライン
1-2～1-8 バス配線
2、2-1～2-6 データ転
送を行う半導体素子をそれぞれ搭載するモジュール基板
2-a～2-d メモリモ
ジュールを多数搭載するメモリサブシステム
3、3-1～3-5 トランシ
ーバ
4 リード、
ライト方向制御信号
5、5-1、5-2、5-3、5-4 . . . 差動型レ
シーバ
6、 ドライバ
7、7-1 クロック
信号線
8、8-1 データ信

号線

9 リードラ
イト切替えスイッチ10 システム
チップセット10-1 メモリコ
ントローラ (部)10-2 ~ 10-8 データ転
送を行う半導体素子 (メモリ)15 リードデ 10
ータ信号

16 ライトデ*

* ータ信号

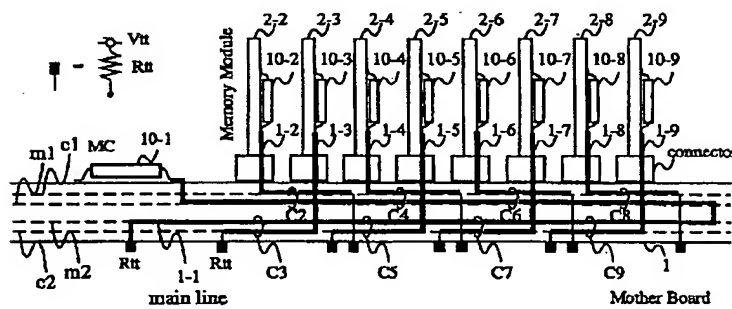
17 アドレス
変換部20-2 ~ 20-9 モジュー
ル内データバス30 プロセッ
サ (CPU) 部40 グラフィ
ック部

50 I/O部

60, 61 方向性結
合チップ

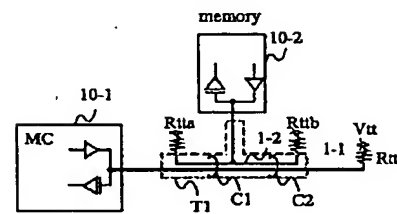
【図 1】

図 1



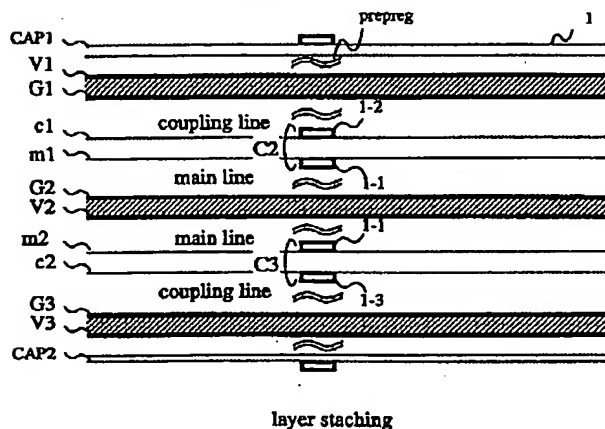
【図 16】

図 16



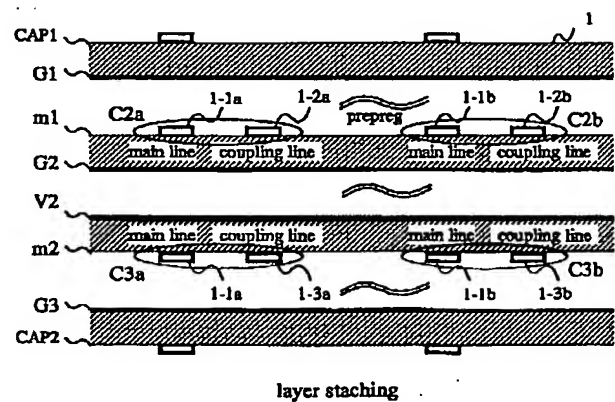
【図 2】

図 2



【図 3】

図 3



【図4】

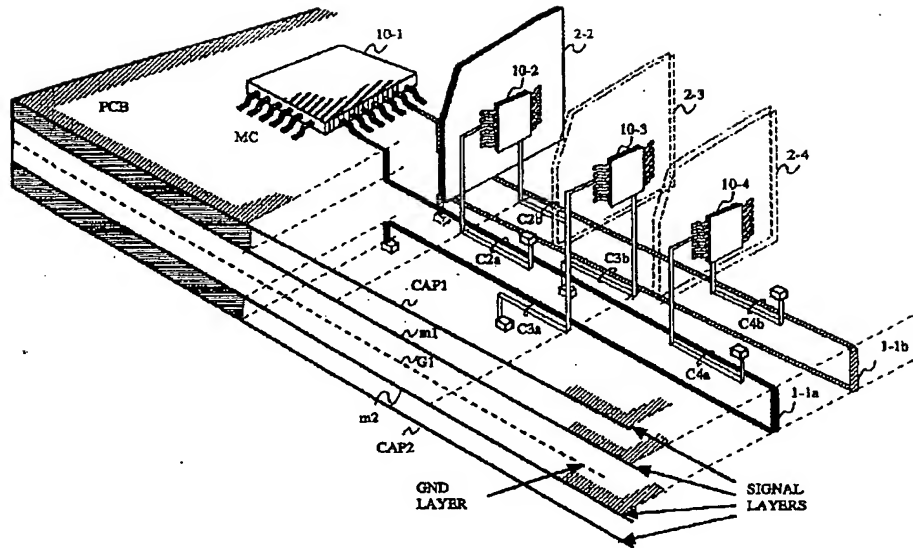
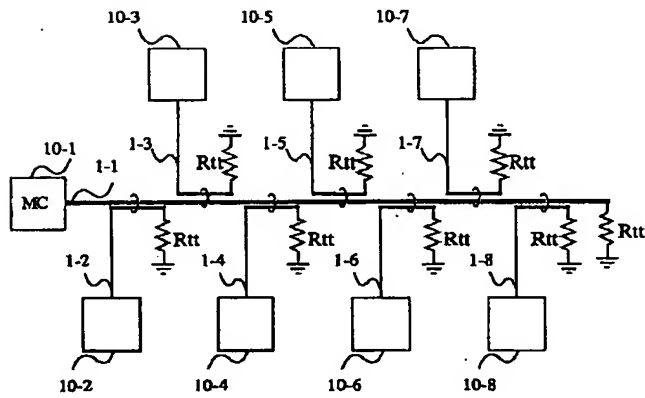


図 4

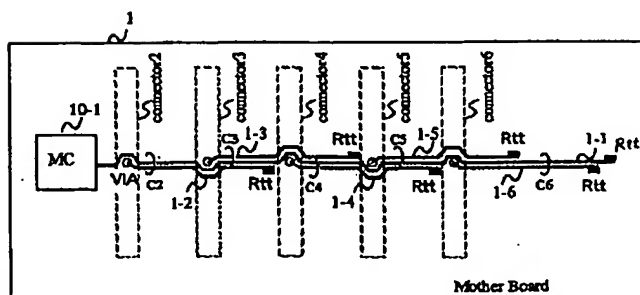
【図5】

図 5



【図7】

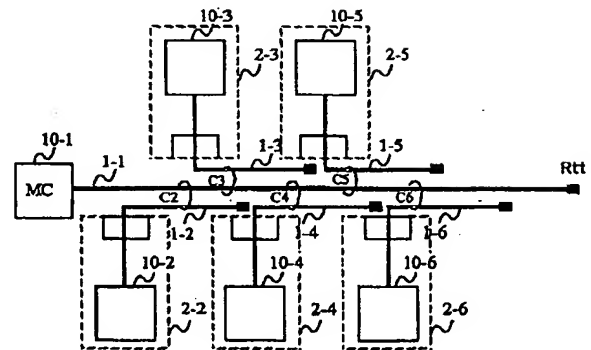
図 7



Mother Board

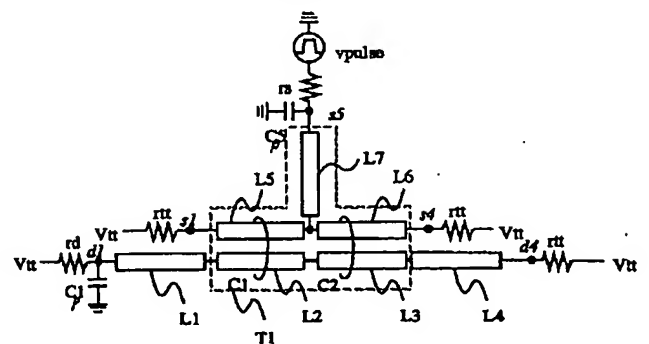
【図6】

図 6



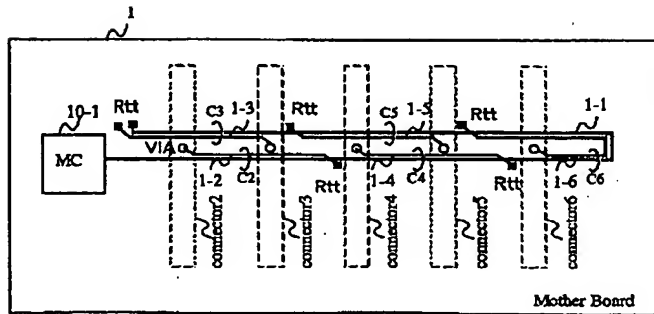
【図13】

図 13



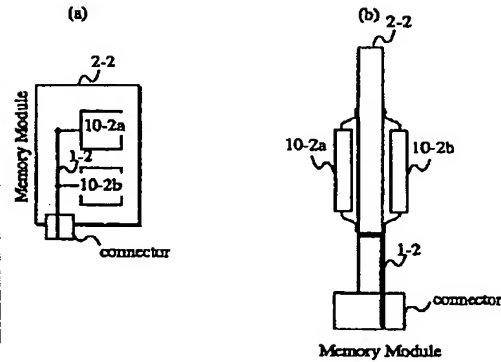
【図8】

図8



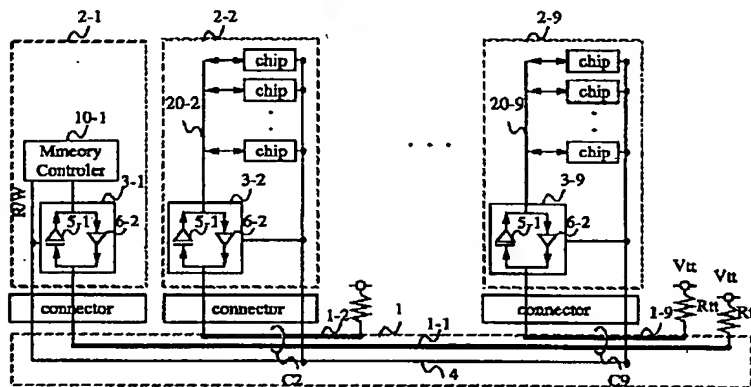
【図9】

図9



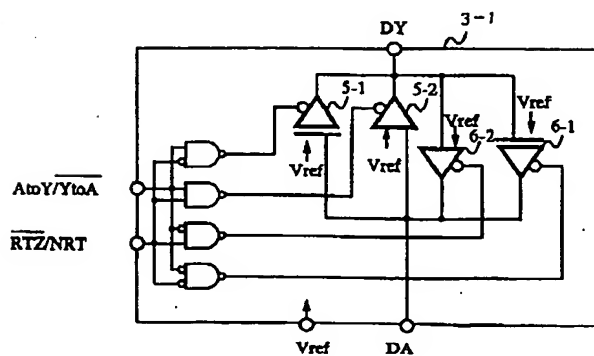
【図10】

図10



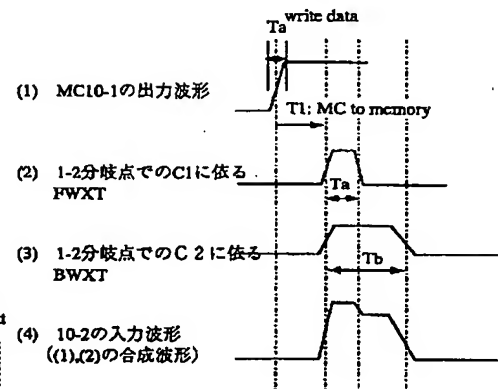
【図11】

図11



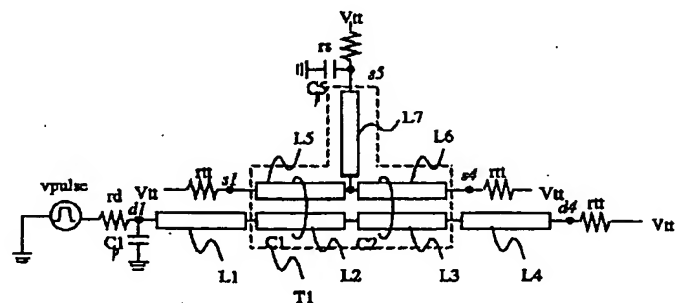
【図18】

図18

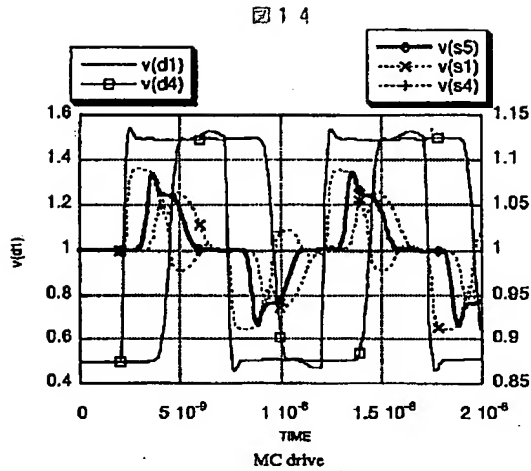


【図12】

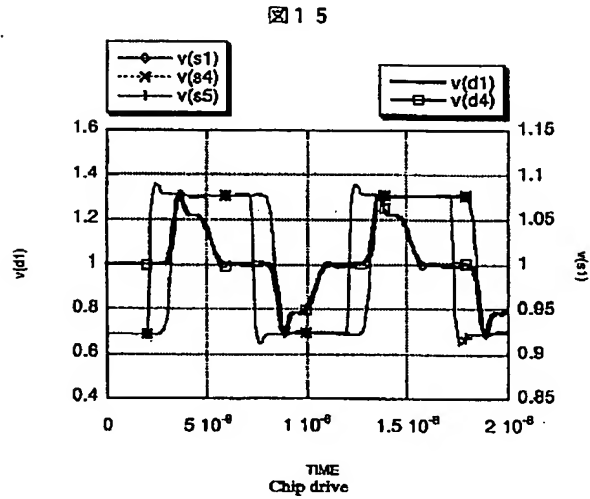
図12



【図14】

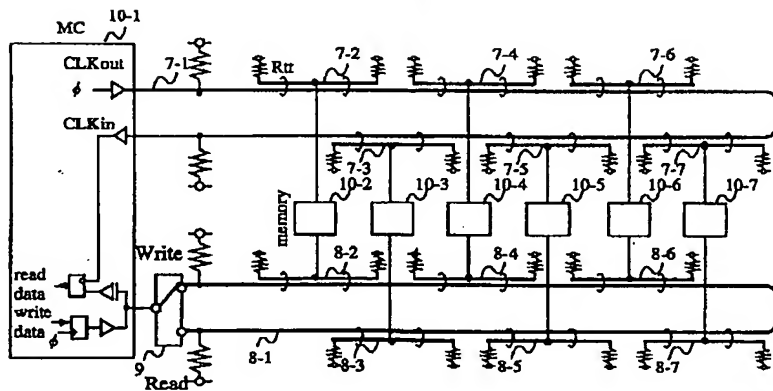


【図15】



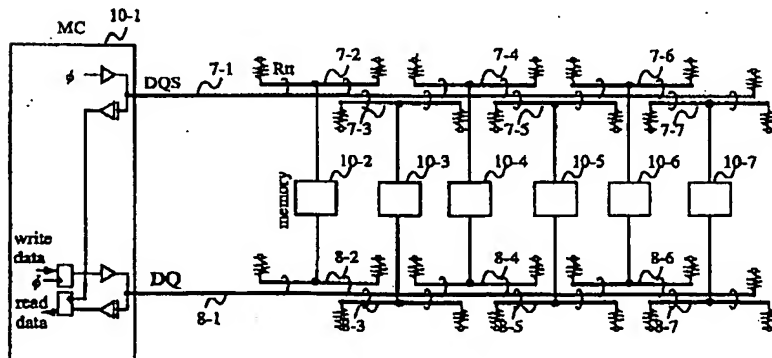
【図17】

図17



【図21】

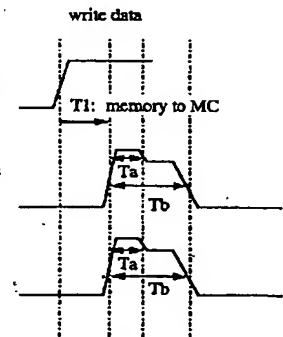
図21



【図19】

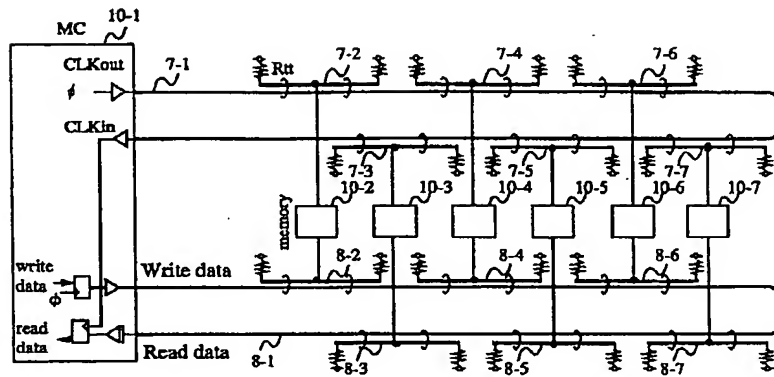
図19

- (1) Chip10-2の出力波形
(2) チップ10-1側の波形
(3) Rtt側の波形



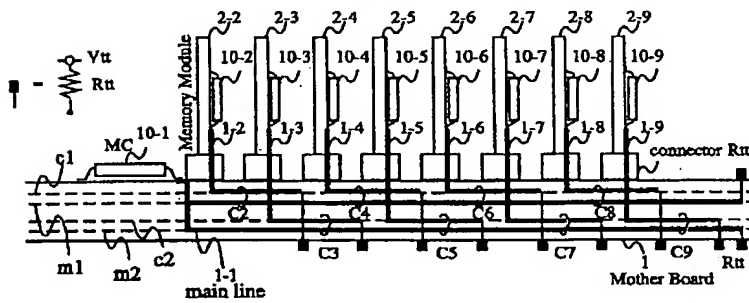
【図 20】

図 20



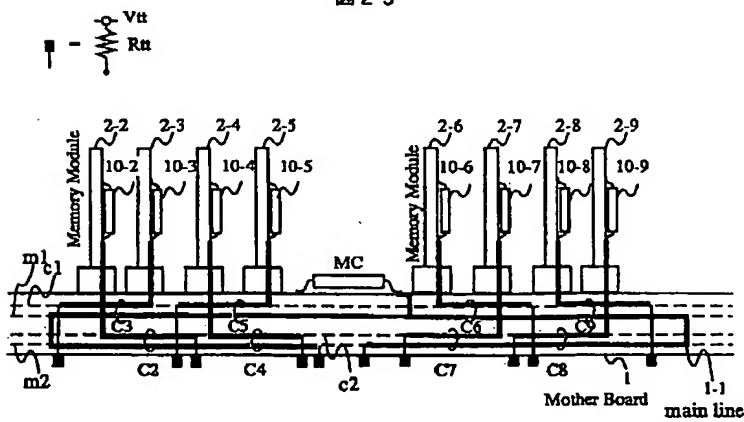
【図 22】

図 22



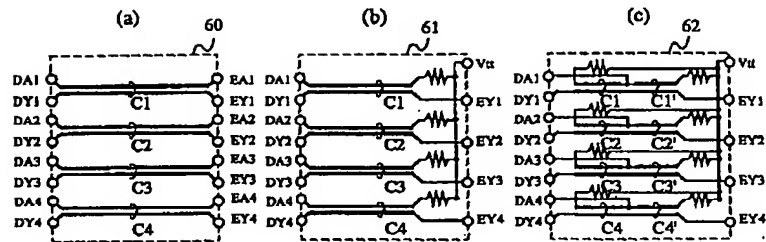
【図 23】

図 23



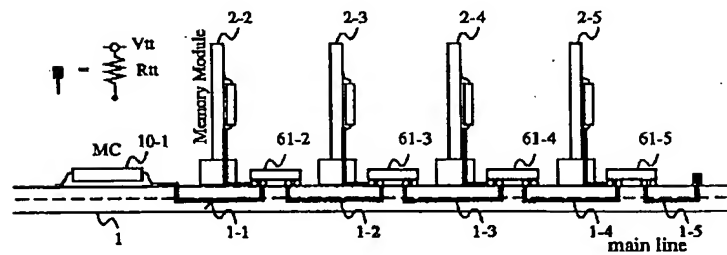
【図24】

図24



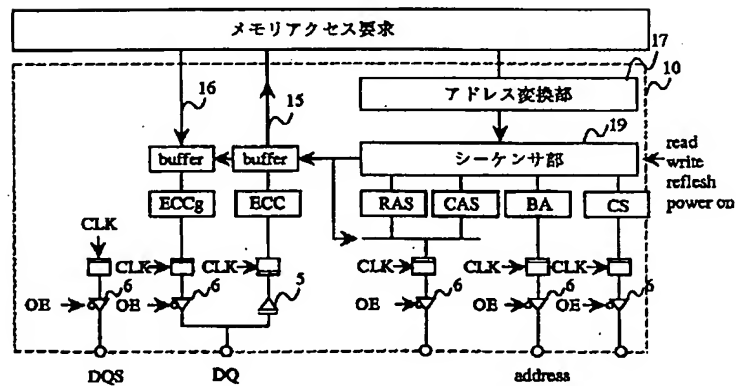
【図25】

図25



【図26】

図26



【圖 28】

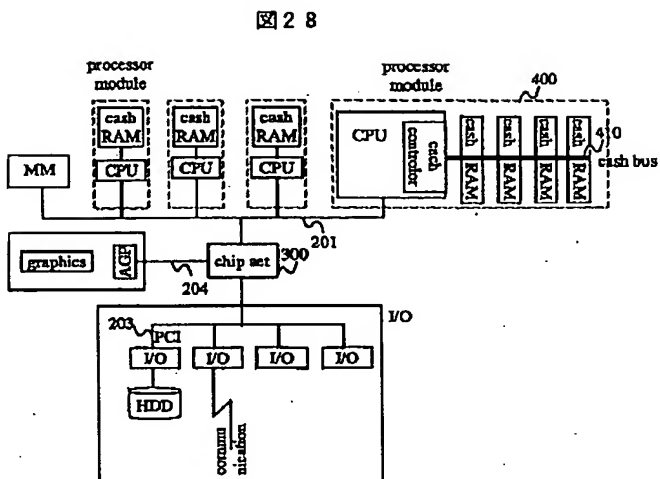
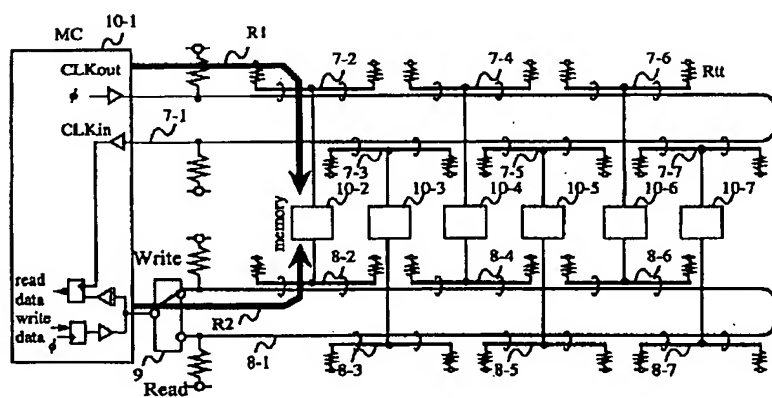
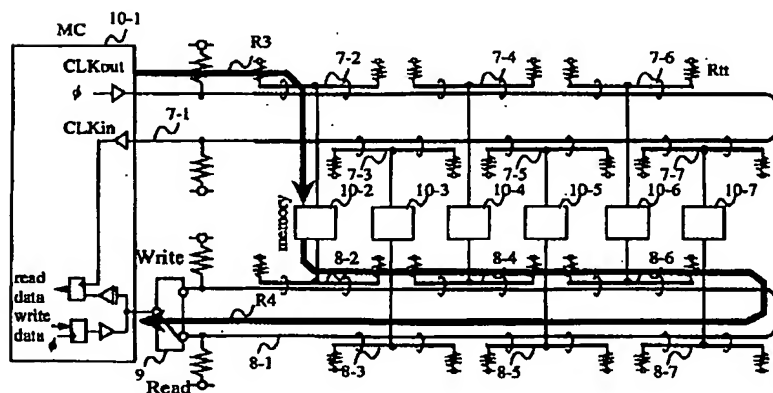


圖 29



30



フロントページの続き

(51) Int. Cl.⁷
// H 0 1 P 5/18

識別記号

F I
H 0 1 P 5/18

テラコト (参考)

J

(72) 発明者 常広 隆司
神奈川県川崎市麻生区王禅寺1099番地 株
式会社日立製作所システム開発研究所内

(72) 発明者 木村 光一
神奈川県川崎市麻生区王禅寺1099番地 株
式会社日立製作所システム開発研究所内

(72) 発明者 波多野 進
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(72) 発明者 伊藤 和弥
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(72) 発明者 管野 利夫
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.